

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/Tinyシリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、32ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

1.1 応用

家電、事務機器、住設機器（センサー、セキュリティ）、産業一般、オーディオ、他

1.2 性能概要

表1.1に本マイコンの性能概要を示します。

表1.1 性能概要

項目	性能	
CPU	基本命令数	89命令
	最短命令実行時間	50ns (f(XIN)=20MHz、Vcc=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、Vcc=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	表1.2を参照してください。
周辺機能	割り込み	内部:11要因、外部:5要因、ソフトウェア:4要因、 割り込み優先レベル:7レベル
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	タイマ	タイマX:8ビット×1チャンネル、タイマY:8ビット× 1チャンネル、タイマZ:8ビット×1チャンネル (各タイマ:8ビットプリスケアラ付) タイマC:16ビット×1チャンネル インプットキャプチャ回路、アウトプットコンペア 回路
	シリアルインタフェース (シリアルI/O)	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル クロック非同期形シリアルI/O
	A/Dコンバータ	10ビットA/Dコンバータ:1回路、12チャンネル
	クロック発生回路	2回路 ・メインクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	ポート	入出力:22本(LED駆動用ポート含む)、入力:2本 (LED駆動用入出力ポート:8本)
	電气的特性	電源電圧
消費電流		標準 9mA (Vcc=5V、f(XIN)=20MHz、高速モード) 標準 5mA (Vcc=3V、f(XIN)=10MHz、高速モード) 標準 35 μ A (Vcc=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (Vcc=3V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	Vcc=2.7 ~ 5.5V
	プログラム、イレーズ回数	100回
動作周囲温度	-20 ~ 85 -40 ~ 85 (Dバージョン)	
パッケージ	32ピンプラスチックモールドLQFP	

1.3 ブロック図

図1.1に本マイコンのブロック図を示します。

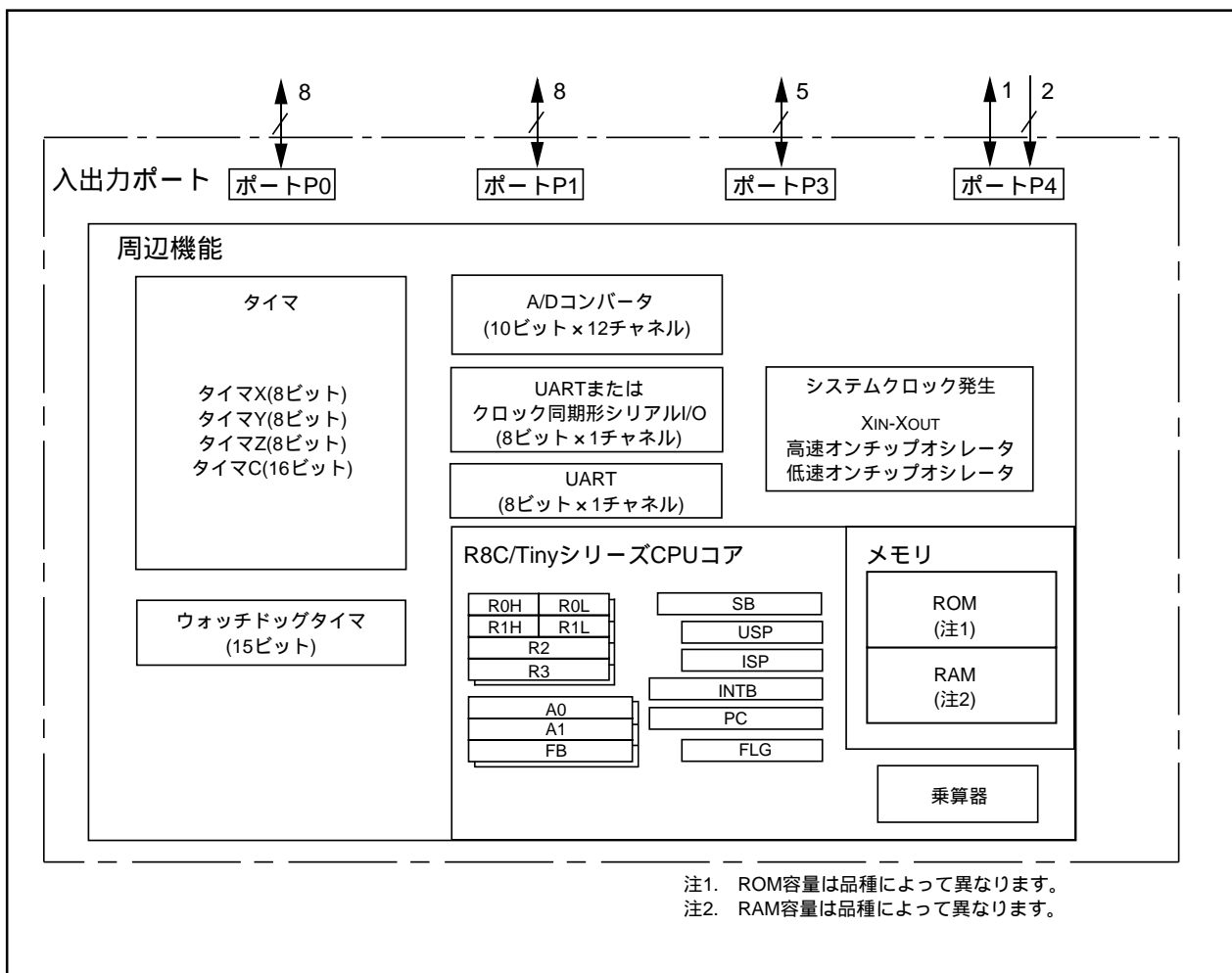


図1.1 ブロック図

1.4 製品一覧

表1.2に製品一覧表を示します。

表1.2 製品一覧表

2004年8月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21112FP	8Kバイト	512バイト	32P6U-A	フラッシュメモリ版
R5F21113FP	12Kバイト	768バイト	32P6U-A	
R5F21114FP	16Kバイト	1Kバイト	32P6U-A	
R5F21112DFP	8Kバイト	512バイト	32P6U-A	Dバージョン
R5F21113DFP	12Kバイト	768バイト	32P6U-A	
R5F21114DFP	16Kバイト	1Kバイト	32P6U-A	

: 開発中

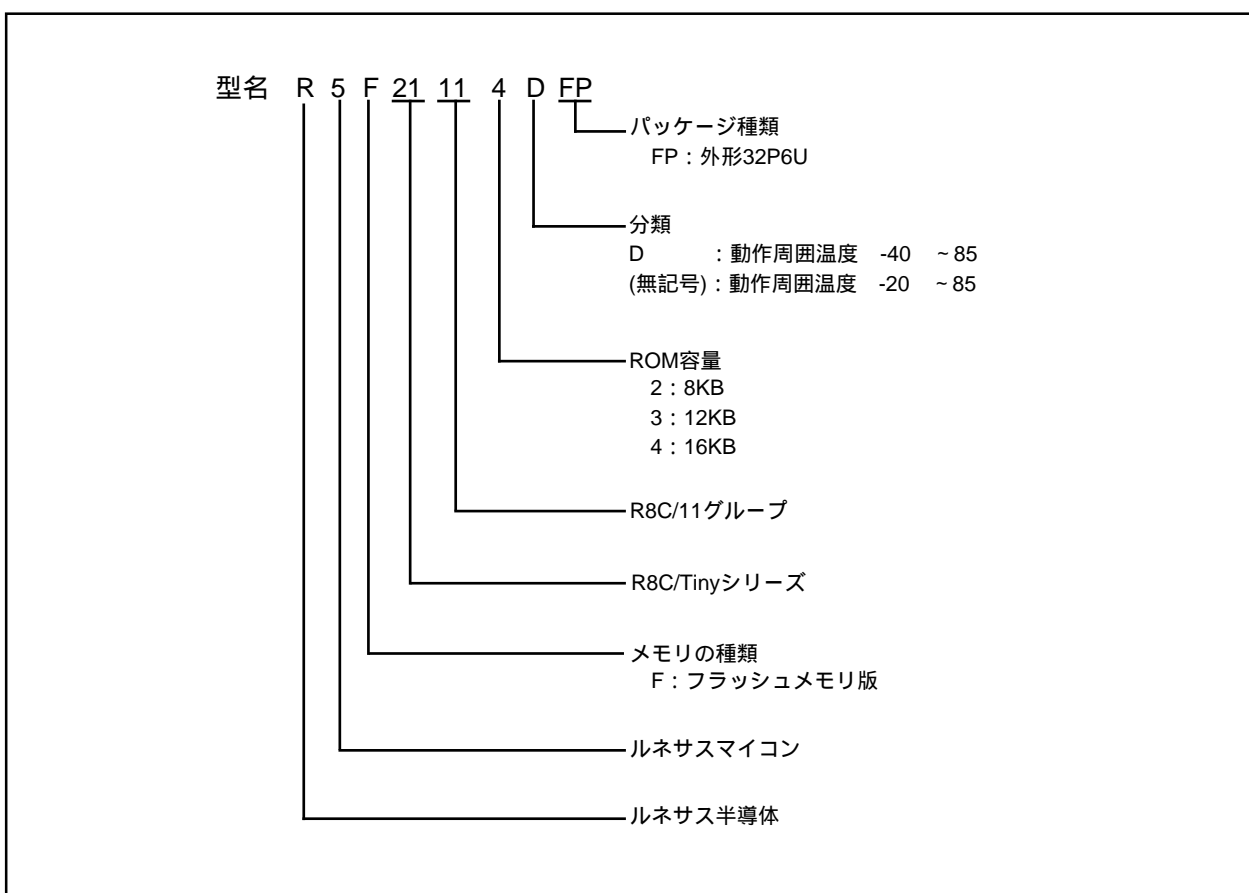


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3にピン接続図(上面図)を示します。

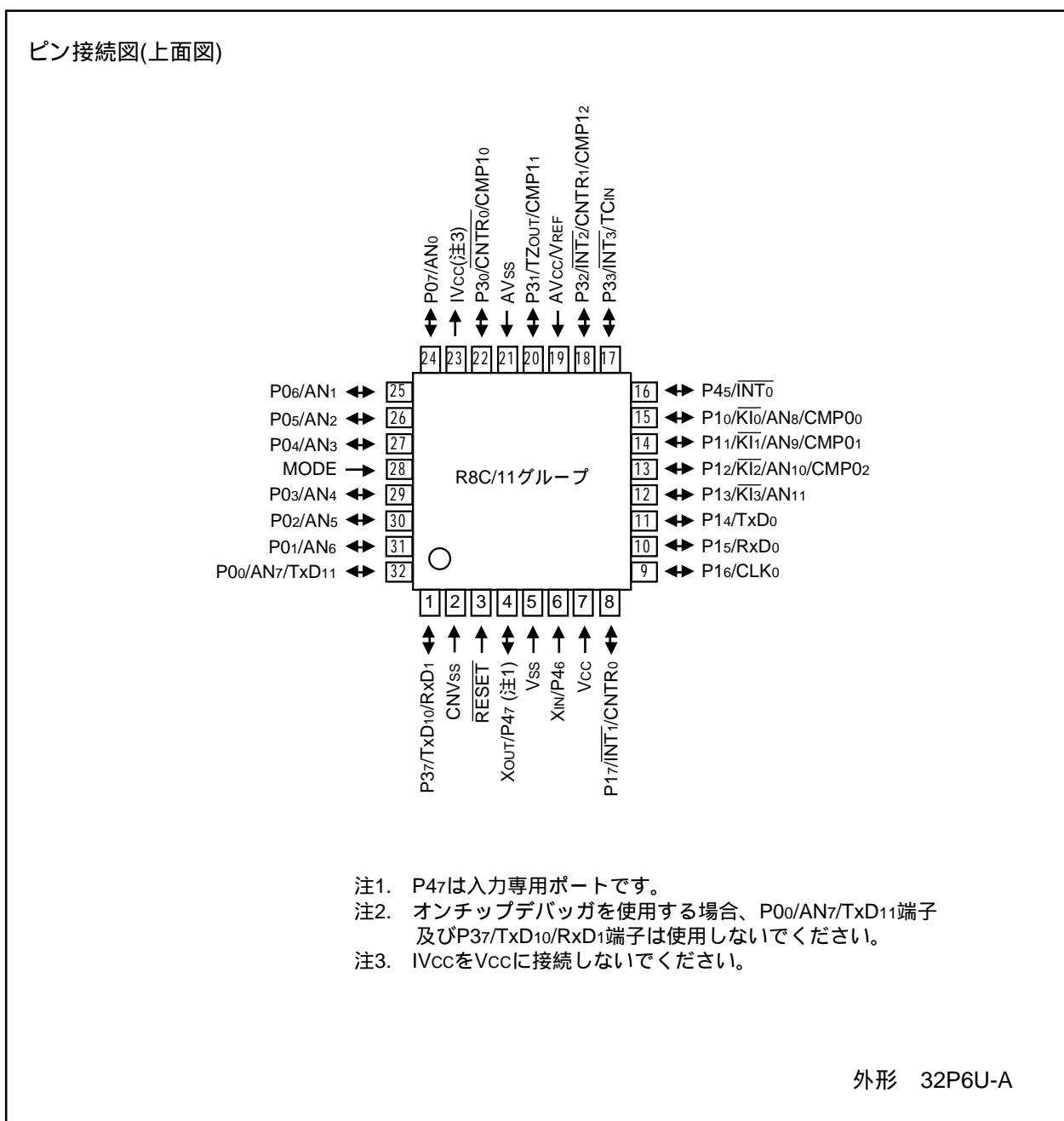


図1.3 ピン接続図(上面図)

1.6 端子の機能説明

表1.3に本マイコンの端子の機能説明を示します。

表1.3 端子の機能説明

分類	端子名	入出力	機能
電源入力	Vcc Vss	入力	Vccには、2.7V～5.5Vを入力してください。 Vssには、0Vを入力してください。
IVcc	IVcc	出力	内部電源を安定化させるための端子です。 コンデンサ(0.1μF)を介してVssに接続してください。 Vccに接続しないでください。
アナログ電源入力	AVcc AVss	入力	A/Dコンバータの電源入力です。AVccはVccに接続して ください。AVssはVssに接続してください。AVccとAVss 間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータ はリセット状態になります。
CNVss	CNVss	入力	抵抗を介してVssに接続してください。(注1)
MODE	MODE	入力	抵抗を介してVccに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUT の間にはセラミック共振子、または水晶共振子を接 続してください。外部で生成したクロックを入力す る場合は、XINからクロックを入力し、XOUTは開放に してください。
メインクロック出力	XOUT	出力	
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマX	CNTR0	入出力	タイマXの入出力です。
	CNTR0	出力	タイマXの出力です。
タイマY	CNTR1	入出力	タイマYの入出力です。
タイマZ	TZOUT	出力	タイマZの出力です。
タイマC	TCIN	入力	タイマCの入力です。
	CMP00～CMP03、 CMP10～CMP13	出力	タイマCの出力です。
シリアル インターフェース	CLK0	入出力	転送クロック入出力です。
	RxD0、RxD1	入力	シリアルデータ入力です。
	TxD0、TxD10、 TxD11	出力	シリアルデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。VREFはVccに接 続してください。
A/Dコンバータ	AN0～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P00～P07、 P10～P17、 P30～P33、P37、 P45	入出力	CMOSの8ビット入出力ポートです。入出力を選択す るための方向レジスタを持ち、1端子ごとに入力ポ ート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無 を選択できます。 ポートP10～P17はLED駆動ポートとして使用できます。
入力ポート	P46、P47	入力	入力専用ポートです。

注1．接続する参考抵抗値は「19.7 ノイズに関する注意事項」を参照してください。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

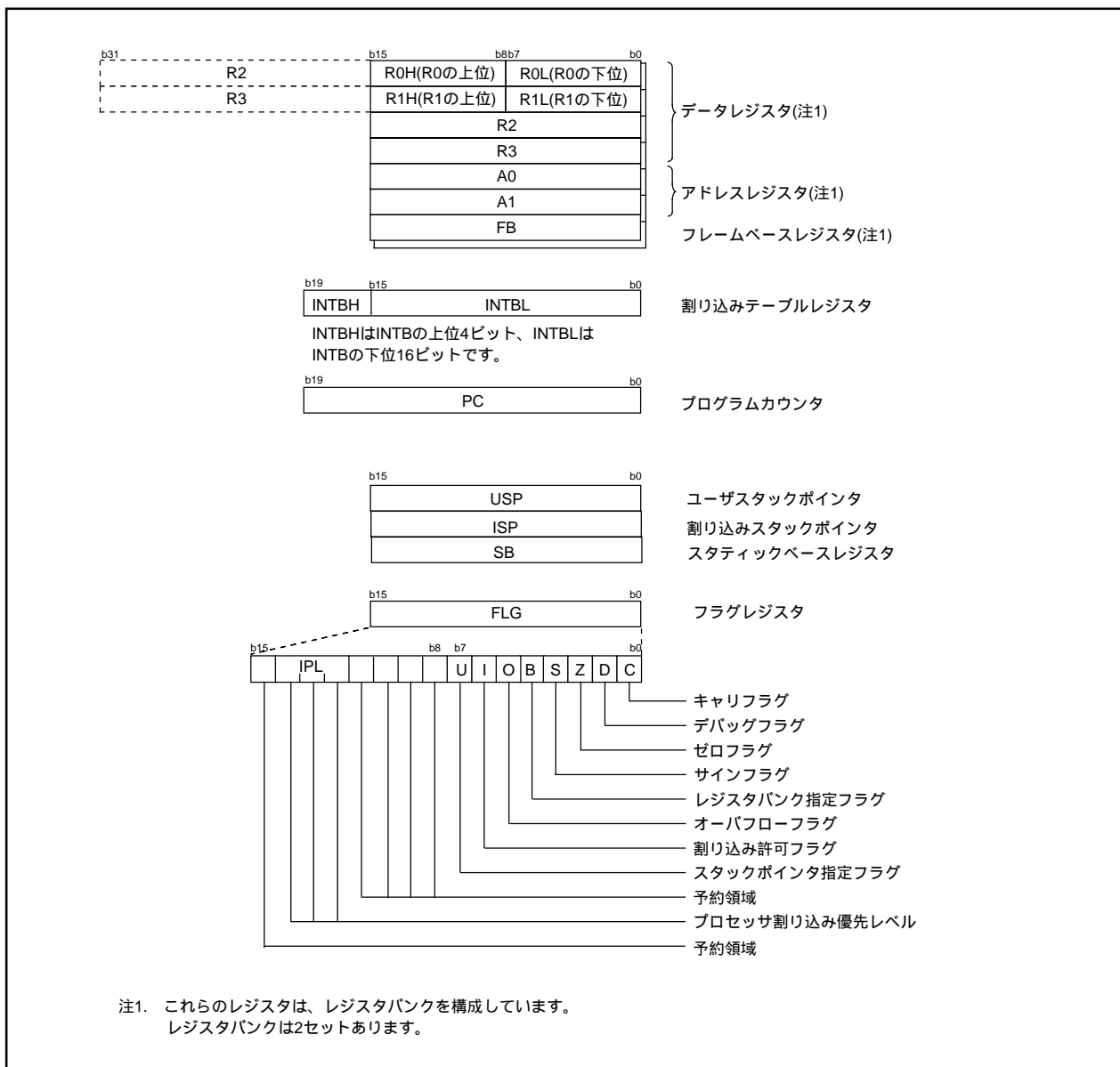


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。内部ROMは0FFFF₁₆番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000₁₆番地から0FFFF₁₆番地に配置されます。

固定割り込みベクタテーブルは0FFDC₁₆番地から0FFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400₁₆番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400₁₆番地から007FF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から002FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

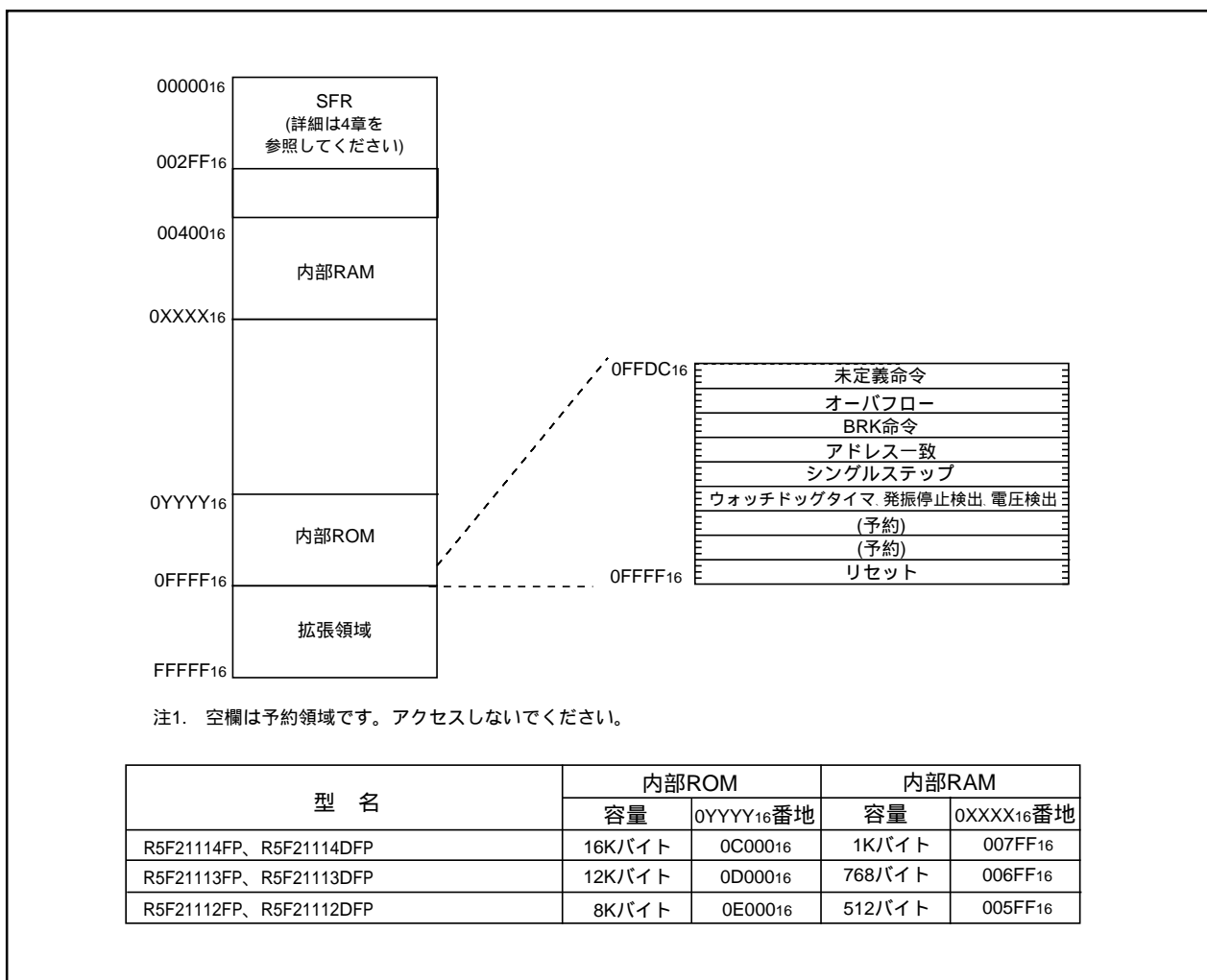


図3.1 メモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.4にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0	PM0	0016
0005 ₁₆	プロセッサモードレジスタ1	PM1	0016
0006 ₁₆	システムクロック制御レジスタ0	CM0	011010002
0007 ₁₆	システムクロック制御レジスタ1	CM1	001000002
0008 ₁₆	高速オンチップオシレータ制御レジスタ0	HR0	0016
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXX002
000A ₁₆	プロテクトレジスタ	PRCR	00XXX0002
000B ₁₆	高速オンチップオシレータ制御レジスタ1	HR1	4016
000C ₁₆	発振停止検出レジスタ	OCD	000001002
000D ₁₆	ウォッチドッグタイマリセットレジスタ	WDTR	XX16
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX16
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000XXXX2
0010 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	0016
0011 ₁₆			0016
0012 ₁₆			X016
0013 ₁₆			
0014 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	0016
0015 ₁₆			0016
0016 ₁₆			X016
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	電圧検出レジスタ1 (注2)	VCR1	0016
001A ₁₆	電圧検出レジスタ2 (注2)	VCR2	100000002
001B ₁₆			
001C ₁₆			
001D ₁₆			
001E ₁₆	INT0入力フィルタ選択レジスタ	INT0F	XXXXX0002
001F ₁₆	電圧検出割り込みレジスタ (注2)	D4INT	0016 (注3)
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			

010000012 (注4)

注1. 空欄は予約領域です。アクセスしないでください。
 注2. ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
 注3. リセット入力の場合。
 注4. RESET端子が“H”固定の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆			
0049 ₁₆			
004A ₁₆			
004B ₁₆			
004C ₁₆			
004D ₁₆	キ - 入力割り込み制御レジスタ	KUPIC	XXXXX0002
004E ₁₆	A/D変換割り込み制御レジスタ	ADIC	XXXXX0002
004F ₁₆			
0050 ₁₆	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX0002
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXXX0002
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXXX0002
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
0055 ₁₆	INT2割り込み制御レジスタ	INT2IC	XXXXX0002
0056 ₁₆	タイマX割り込み制御レジスタ	TXIC	XXXXX0002
0057 ₁₆	タイマY割り込み制御レジスタ	TYIC	XXXXX0002
0058 ₁₆	タイマZ割り込み制御レジスタ	TZIC	XXXXX0002
0059 ₁₆	INT1割り込み制御レジスタ	INT1IC	XXXXX0002
005A ₁₆	INT3割り込み制御レジスタ	INT3IC	XXXXX0002
005B ₁₆	タイマC割り込み制御レジスタ	TCIC	XXXXX0002
005C ₁₆	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX0002
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00X0002
005E ₁₆			
005F ₁₆			
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080 ₁₆	タイマY、Zモードレジスタ	TYZMR	0016
0081 ₁₆	プリスケアラY	PREY	FF16
0082 ₁₆	タイマYセカンダリ	TYSC	FF16
0083 ₁₆	タイマYプライマリ	TYPR	FF16
0084 ₁₆	タイマY、Z波形出力制御レジスタ	PUM	0016
0085 ₁₆	プリスケアラZ	PREZ	FF16
0086 ₁₆	タイマZセカンダリ	TZSC	FF16
0087 ₁₆	タイマZプライマリ	TZPR	FF16
0088 ₁₆			
0089 ₁₆			
008A ₁₆	タイマY、Z出力制御レジスタ	TYZOC	0016
008B ₁₆	タイマXモードレジスタ	TXMR	0016
008C ₁₆	プリスケアラX	PREX	FF16
008D ₁₆	タイマX	TX	FF16
008E ₁₆	タイマカウントソース設定レジスタ	TCSS	0016
008F ₁₆			
0090 ₁₆	タイマC	TC	0016
0091 ₁₆			0016
0092 ₁₆			
0093 ₁₆			
0094 ₁₆			
0095 ₁₆			
0096 ₁₆	外部入力許可レジスタ	INTEN	0016
0097 ₁₆			
0098 ₁₆	キー入力許可レジスタ	KIEN	0016
0099 ₁₆			
009A ₁₆	タイマC制御レジスタ0	TCC0	0016
009B ₁₆	タイマC制御レジスタ1	TCC1	0016
009C ₁₆	キャプチャ、コンペア0レジスタ	TM0	FF16
009D ₁₆			FF16
009E ₁₆	コンペア1レジスタ	TM1	FF16
009F ₁₆			FF16
00A0 ₁₆	UART0送受信モ - ドレジスタ	U0MR	0016
00A1 ₁₆	UART0転送速度レジスタ	U0BRG	XX16
00A2 ₁₆	UART0送信バッファレジスタ	U0TB	XX16
00A3 ₁₆			XX16
00A4 ₁₆	UART0送受信制御レジスタ0	U0C0	000010002
00A5 ₁₆	UART0送受信制御レジスタ1	U0C1	000000102
00A6 ₁₆	UART0受信バッファレジスタ	U0RB	XX16
00A7 ₁₆			XX16
00A8 ₁₆	UART1送受信モ - ドレジスタ	U1MR	0016
00A9 ₁₆	UART1転送速度レジスタ	U1BRG	XX16
00AA ₁₆	UART1送信バッファレジスタ	U1TB	XX16
00AB ₁₆			XX16
00AC ₁₆	UART1送受信制御レジスタ0	U1C0	000010002
00AD ₁₆	UART1送受信制御レジスタ1	U1C1	000000102
00AE ₁₆	UART1受信バッファレジスタ	U1RB	XX16
00AF ₁₆			XX16
00B0 ₁₆	UART送受信制御レジスタ2	UCON	0016
00B1 ₁₆			
00B2 ₁₆			
00B3 ₁₆			
00B4 ₁₆			
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆			
00B9 ₁₆			
00BA ₁₆			
00BB ₁₆			
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆	A/Dレジスタ	AD	XX ₁₆
00C1 ₁₆			XX ₁₆
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆	A/D制御レジスタ2	ADCON2	00 ₁₆
00D5 ₁₆			
00D6 ₁₆	A/D制御レジスタ0	ADCON0	00000XXX ₂
00D7 ₁₆	A/D制御レジスタ1	ADCON1	00 ₁₆
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆
00E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆
00E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
00E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
00E4 ₁₆			
00E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆
00E6 ₁₆			
00E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
00E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆
00E9 ₁₆			
00EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
00EB ₁₆			
00EC ₁₆			
00ED ₁₆			
00EE ₁₆			
00EF ₁₆			
00F0 ₁₆			
00F1 ₁₆			
00F2 ₁₆			
00F3 ₁₆			
00F4 ₁₆			
00F5 ₁₆			
00F6 ₁₆			
00F7 ₁₆			
00F8 ₁₆			
00F9 ₁₆			
00FA ₁₆			
00FB ₁₆			
00FC ₁₆	プルアップ制御レジスタ0	PUR0	00XX0000 ₂
00FD ₁₆	プルアップ制御レジスタ1	PUR1	XXXXXXXX ₂
00FE ₁₆	ポートP1駆動能力制御レジスタ	DRR	00 ₁₆
00FF ₁₆	タイマC出力制御レジスタ	TCOUT	00 ₁₆
01B3 ₁₆	フラッシュメモリ制御レジスタ4	FMR4	01000000 ₂
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	0100XX ₂
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	00000012

注1. 空欄および0100₁₆~01B2₁₆番地、01B8₁₆~02F6₁₆番地は予約領域です。アクセスしないでください。

X: 不定です。

5. 電気的特性

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
Vcc	電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
Vi	入力電圧		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Topr = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
Tstg	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vcc	電源電圧		2.7		5.5	V
AVcc	アナログ電源電圧			Vcc (注3)		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
VIH	“H” 入力電圧		0.8Vcc		Vcc	V
VIL	“L” 入力電圧		0		0.2Vcc	V
IOH(sum)	“H” 尖頭総出力電流	全端子のIOH(peak)の総和			- 60	mA
IOH(peak)	“H” 尖頭出力電流				- 10	mA
IOH(avg)	“H” 平均出力電流				- 5	mA
IOL(sum)	“L” 尖頭総出力電流	全端子のIOL(peak)の総和			60	mA
IOL(peak)	“L” 尖頭出力電流	P10 ~ P17以外			10	mA
		P10 ~ P17	駆動能力HIGH		30	mA
			駆動能力LOW		10	mA
IOL(avg)	“L” 平均出力電流	P10 ~ P17以外			5	mA
		P10 ~ P17	駆動能力HIGH		15	mA
			駆動能力LOW		5	mA
f(XIN)	メインクロック入力発振周波数	3.0 V Vcc 5.5 V	0		20	MHz
		2.7 V Vcc < 3.0 V	0		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. Vcc=AVccにしてください。

表5.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{ref} = V_{cc}$			10	Bit
-	絶対精度	10ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 5.0 \text{ V}$			± 3	LSB
		8ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 5.0 \text{ V}$			± 2	LSB
		10ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 3.3 \text{ V}$			± 5	LSB
		8ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 3.3 \text{ V}$			± 2	LSB
Rladder	ラダ - 抵抗	$V_{ref} = V_{cc}$	10		40	k
tconv	変換時間	10ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 5.0 \text{ V}$	3.3			μs
		8ビットモード $f(XIN) = AD = 10 \text{ MHz}, V_{ref} = V_{cc} = 5.0 \text{ V}$	2.8			μs
V_{ref}	基準電圧			V_{cc} (注4)		V
V_{IA}	アナログ入力電圧		0		V_{ref}	V
-	A/D動作クロック 周波数 (注2)	サンプル&ホールドなし	0.25		10	MHz
		サンプル&ホールドあり	1		10	MHz

注1. 指定のない場合は、 $V_{cc} = AV_{cc} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $T_{opr} = -20 \sim 85 / -40 \sim 85$ です。

注2. f_{AD} が10 MHzを超える場合は分周し、A/D動作クロック周波数(f_{AD})が10 MHz以下になるようにしてください。

注3. V_{cc} が4.2 V未満の場合は f_{AD} を分周し、A/D動作クロック周波数(f_{AD})が $f_{AD}/2$ 以下になるように調整してください。

注4. $V_{cc} = V_{ref}$ にしてください。

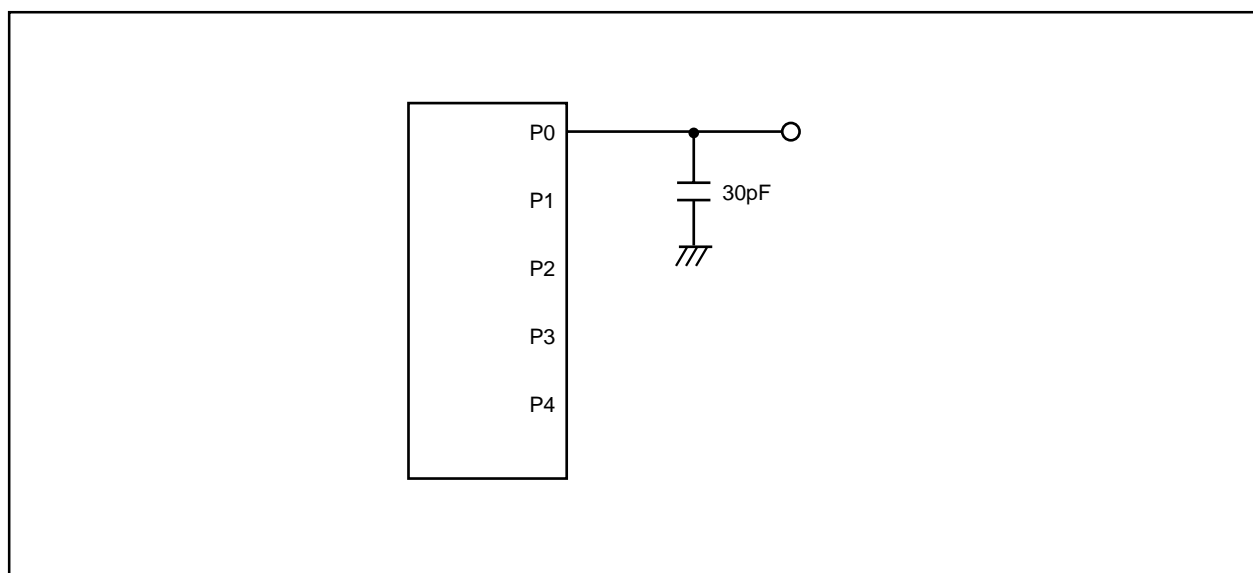


図5.1 ポートP0～P4の測定回路

表5.4 フラッシュメモリの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数		100	-	-	回
-	バイトプログラム時間	V _{CC} =5.0V, T _{opr} =25		50	400	μs
-	ブロックイレーズ時間	V _{CC} =5.0V, T _{opr} =25		0.4	9	s
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		0		60	
-	データ保持時間	T _{opr} =55	20			年

注1. 指定のない場合は、V_{CC} = AV_{CC} = 2.7 V ~ 5.5 V、T_{opr} = 0 ~ 60 です。

表5.5 電圧検出回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det}	電圧検出レベル		3.3	3.8	4.3	V
-	電圧検出割り込み要求発生時間 (注2)			40		μs
-	電圧検出回路の自己消費電流	VC27 = "1"、V _{CC} = 5.0 V		600		nA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)				20	μs
V _{CCmin}	マイコンの動作電圧の最小値		2.7			V

注1. 測定条件はV_{CC} = AV_{CC} = 2.7V ~ 5.5 V、T_{opr} = -40 ~ 85 です。

注2. V_{det}を通過した時点から、電圧検出割り込み要求が発生するまでの時間です。

注3. VCR2レジスタのVC27ビットを"0"にした後、再度"1"にした場合の、電圧検出回路が動作するまでに必要な時間です。

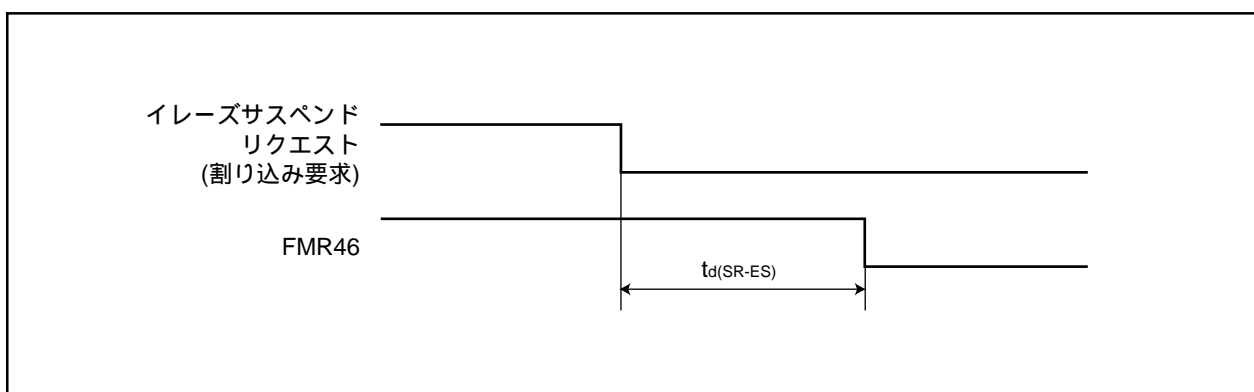


図5.2 消去動作からイレーズサスペンドへの遷移時間

表5.6 リセット回路の電気的特性(ハードウェアリセット2使用時(注1))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por2}	パワーオンリセットが有効になる電圧				V _{det}	V
tw(V _{por2} -V _{det})	パワーオンリセット解除時の電源電圧の立ち上がり時間(注2)				100	ms
tw(por2)	外部電源を有効電圧以下に保持する時間		0			s

注1. ハードウェアリセット2は、マイクロコンピュータに内蔵している電圧検出回路によるリセットです。「5.1.2 ハードウェアリセット2」を参照してください。

注2. V_{cc} 1.0Vで使用する場合、この条件は不要です。

注3. 外部電源を有効電圧以下に保持する時間が10sを超えた後に電源を立ち上げる場合は、「表5.7 リセット回路の電気的特性(ハードウェアリセット2未使用時)」を参照してください。

表5.7 リセット回路の電気的特性(ハードウェアリセット2未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧				0.1	V
tw(V _{por1} -V _{det})	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 T _{opr} 85			100	ms
tw(por1)	外部電源を有効電圧以下に保持する時間	0 T _{opr} 85	10			s
tw(V _{por1} -V _{det})	パワーオンリセット解除時の電源電圧の立ち上がり時間	-20 T _{opr} <0			100	ms
tw(por1)	外部電源を有効電圧以下に保持する時間	-20 T _{opr} <0	30			s
tw(V _{por1} -V _{det})	パワーオンリセット解除時の電源電圧の立ち上がり時間	-20 T _{opr} <0			1	ms
tw(por1)	外部電源を有効電圧以下に保持する時間	-20 T _{opr} <0	10			s
tw(V _{por1} -V _{det})	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 T _{opr} 85			0.5	ms
tw(por1)	外部電源を有効電圧以下に保持する時間	0 T _{opr} 85	1			s

注1. ハードウェアリセット2を使用しない場合、V_{cc} 2.7Vで使用してください。

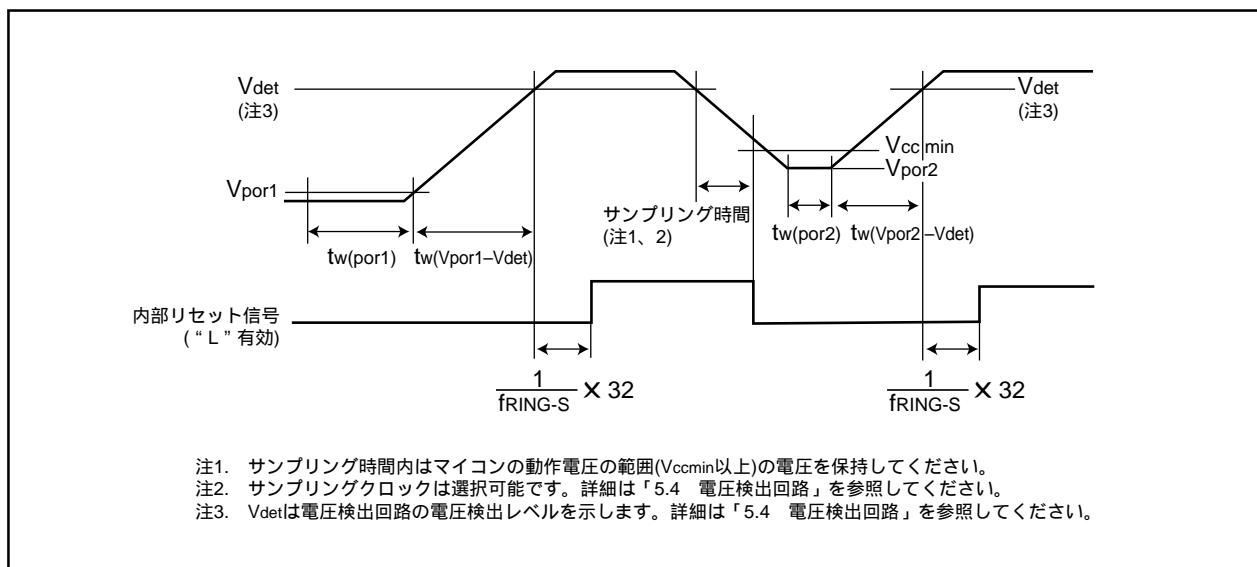


図5.3 リセット回路の電気的特性

表5.8 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	リセット解除時の高速オンチップオシレータ発振周波数 $1 / \{ td(HRoffset) + td(HR) \}$	$V_{CC}=5.0V, T_{opr}=25$, HR1レジスタに“40 ₁₆ ”を設定	6	8	10	MHz
td(HRoffset)	設定可能な高速オンチップオシレータ発振の最小周期	$V_{CC}=5.0V, T_{opr}=25$, HR1レジスタに“00 ₁₆ ”を設定		61		ns
td(HR)	高速オンチップオシレータ発振周期の調整単位	HR1レジスタに“01 ₁₆ ”を設定したときと、“00 ₁₆ ”を設定したときの差分		1		ns
-	高速オンチップオシレータ発振の温度依存性 (1)	- 10 ~ 50 の温度範囲での周波数のばらつき		± 5		%
-	高速オンチップオシレータ発振の温度依存性 (2)	- 40 ~ 85 の温度範囲での周波数のばらつき		± 10		%

注1. 測定条件は $V_{CC} = AV_{CC} = 5.0V$ 、 $T_{opr} = 25$ です。

表5.9 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注2)				2	ms
td(R-S)	STOP解除時間 (注3)				150	μs

注1. 測定条件は $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = 25$ です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、CPUクロックの供給が開始するまでの時間です。

表5.10 電気的特性(1) [$V_{CC} = 5V$]

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	XOUT以外	$I_{OH} = -5mA$		$V_{CC} - 2.0$	V_{CC}	V
			$I_{OH} = -200\mu A$		$V_{CC} - 0.3$	V_{CC}	V
		XOUT	駆動能力HIGH	$I_{OH} = -1mA$	$V_{CC} - 2.0$	V_{CC}	V
			駆動能力LOW	$I_{OH} = -500\mu A$	$V_{CC} - 2.0$	V_{CC}	V
VOL	“L”出力電圧	P10 ~ P17、 XOUT以外	$I_{OL} = 5mA$			2.0	V
			$I_{OL} = 200\mu A$			0.45	V
		P10 ~ P17	駆動能力HIGH	$I_{OL} = 10mA$		2.0	V
			駆動能力LOW	$I_{OL} = 5mA$		2.0	V
		XOUT	駆動能力HIGH	$I_{OL} = 1mA$		2.0	V
			駆動能力LOW	$I_{OL} = 500\mu A$		2.0	V
VT+、VT-	ヒステリシス	INT0、INT1、INT2、INT3、 KI0、KI1、KI2、KI3、CNTR0、 CNTR1、TCIN、RxD0、RxD1		0.2		1.0	V
		RESET		0.2		2.2	V
IiH	“H”入力電流	$V_i = 5V$			5.0	μA	
IiL	“L”入力電流	$V_i = 0V$			- 5.0	μA	
RPULLUP	プルアップ抵抗	$V_i = 0V$	30	50	167	k	
RiXIN	帰還抵抗	XIN		1.0		M	
fRING-S	低速オンチップオシレータ発振周波数		40	125	250	kHz	
V _{RAM}	RAM保持電圧	ストップモード時	2.0			V	

注1. 指定のない場合は、 $V_{CC} = AV_{CC} = 4.2V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85 / -40 \sim 85$ 、 $f(BCLK) = 20MHz$ です。

表5.11 電気的特性(2) [Vcc = 5 V]

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
ICC	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモード で、出力端子は開放、 その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		
		高速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		
		低速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		470	900	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注2) 周辺クロック動作 VC27= " 0 "		40	80	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注2) 周辺クロック停止 VC27= " 0 "		38	76	μA
		ストップモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VC27= " 0 "		0.8	3.0	μA

注1. 電源電流の測定は、フラッシュメモリ上の測定プログラムを用いて実施しています。

注2. タイマYをタイマモードで動作させています。

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_a=25$) [$V_{CC}=5V$]

表5.12 X_{IN}入力

記号	項目	規格値		単位
		最小	最大	
t _c (X _{IN})	X _{IN} 入力サイクル時間	50		ns
t _{WH} (X _{IN})	X _{IN} 入力“H”パルス幅	25		ns
t _{WL} (X _{IN})	X _{IN} 入力“L”パルス幅	25		ns

表5.13 CNTR0入力、CNTR1入力、 $\overline{\text{INT2}}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _c (CNTR0)	CNTR0入力サイクル時間	100		ns
t _{WH} (CNTR0)	CNTR0入力“H”パルス幅	40		ns
t _{WL} (CNTR0)	CNTR0入力“L”パルス幅	40		ns

表5.14 TCIN入力、 $\overline{\text{INT3}}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _c (TCIN)	TCIN入力サイクル時間	400 (注1)		ns
t _{WH} (TCIN)	TCIN入力“H”パルス幅	200 (注2)		ns
t _{WL} (TCIN)	TCIN入力“L”パルス幅	200 (注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表5.15 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLK _i 入力サイクル時間	200		ns
t _w (CKH)	CLK _i 入力“H”パルス幅	100		ns
t _w (CKL)	CLK _i 入力“L”パルス幅	100		ns
t _d (C-Q)	TxD _i 出力遅延時間		80	ns
t _h (C-Q)	TxD _i ホールド時間	0		ns
t _{su} (D-C)	RxD _i 入力セットアップ時間	35		ns
t _h (C-D)	RxD _i 入力ホールド時間	90		ns

表5.16 外部割り込み $\overline{\text{INT0}}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	$\overline{\text{INT0}}$ 入力“H”パルス幅	250 (注1)		ns
t _w (INL)	$\overline{\text{INT0}}$ 入力“L”パルス幅	250 (注2)		ns

注1. $\overline{\text{INT0}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT0}}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

注2. $\overline{\text{INT0}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT0}}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

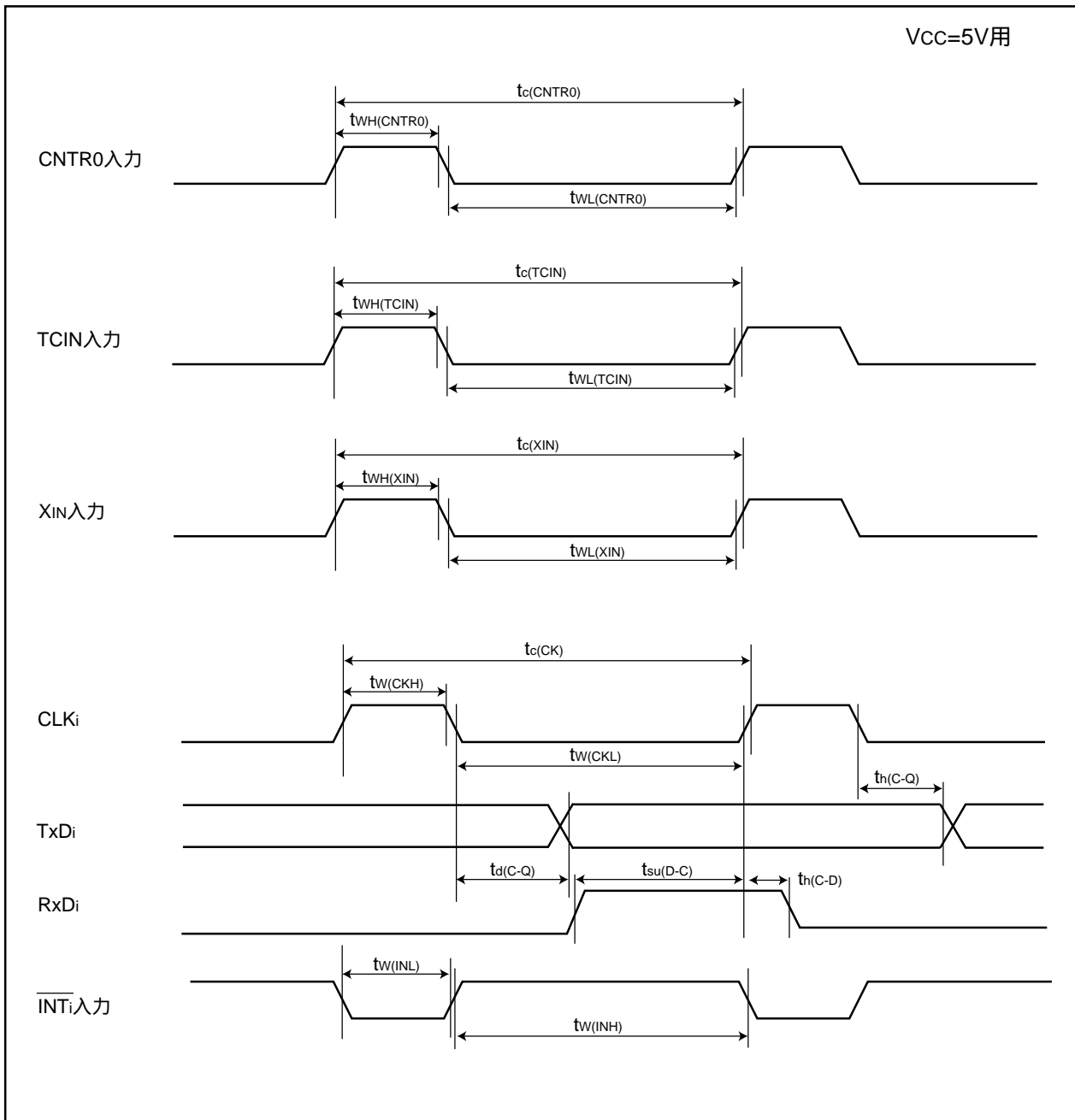


図5.4 Vcc=5V時のタイミング

表5.17 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	IOH = - 1 mA		Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	IOH = - 0.1 mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 50 μ A	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P10 ~ P17、 XOUT以外	IOL = 1 mA				0.5	V
		P10 ~ P17	駆動能力HIGH	IOL = 2 mA			0.5	V
			駆動能力LOW	IOL = 1 mA			0.5	V
		XOUT	駆動能力HIGH	IOL = 0.1 mA			0.5	V
			駆動能力LOW	IOL = 50 μ A			0.5	V
VT+、VT-	ヒステリシス	INT0、INT1、INT2、INT3、 K10、K11、K12、K13、CNTR0、 CNTR1、TCIN、RxD0、RxD1			0.2		0.8	V
		RESET			0.2		1.8	V
IiH	“H”入力電流		VI = 3 V				4.0	μ A
IiL	“L”入力電流		VI = 0 V				- 4.0	μ A
RPULLUP	プルアップ抵抗		VI = 0 V		66	160	500	k
RiXIN	帰還抵抗	XIN				3.0		M
fRING-S	低速オンチップオシレータ発振周波数				40	125	250	kHz
VRAM	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 3.3 V、Topr = - 20 ~ 85 / - 40 ~ 85、f(BCLK) = 10 MHzです。

表5.18 電気的特性(4) [Vcc = 3 V]

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモード で、出力端子は開放、 その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		
		高速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		
		低速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		420	800	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注2) 周辺クロック動作 VC27= " 0 "		37	74	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注2) 周辺クロック停止 VC27= " 0 "		35	70	μA
		ストップモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VC27= " 0 "		0.7	3.0	μA

注1. 電源電流の測定は、フラッシュメモリ上の測定プログラムを用いて実施しています。

注2. タイマYをタイマモードで動作させています。

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_a=25$) [$V_{CC}=3V$]

表5.19 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

表5.20 CNTR0入力、CNTR1入力、 $\overline{INT2}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	120		ns

表5.21 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	1200 (注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	600 (注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	600 (注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表5.22 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TxDi出力遅延時間		160	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	55		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表5.23 外部割り込み $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	$\overline{INT0}$ 入力“H”パルス幅	380 (注1)		ns
$t_w(INL)$	$\overline{INT0}$ 入力“L”パルス幅	380 (注2)		ns

注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

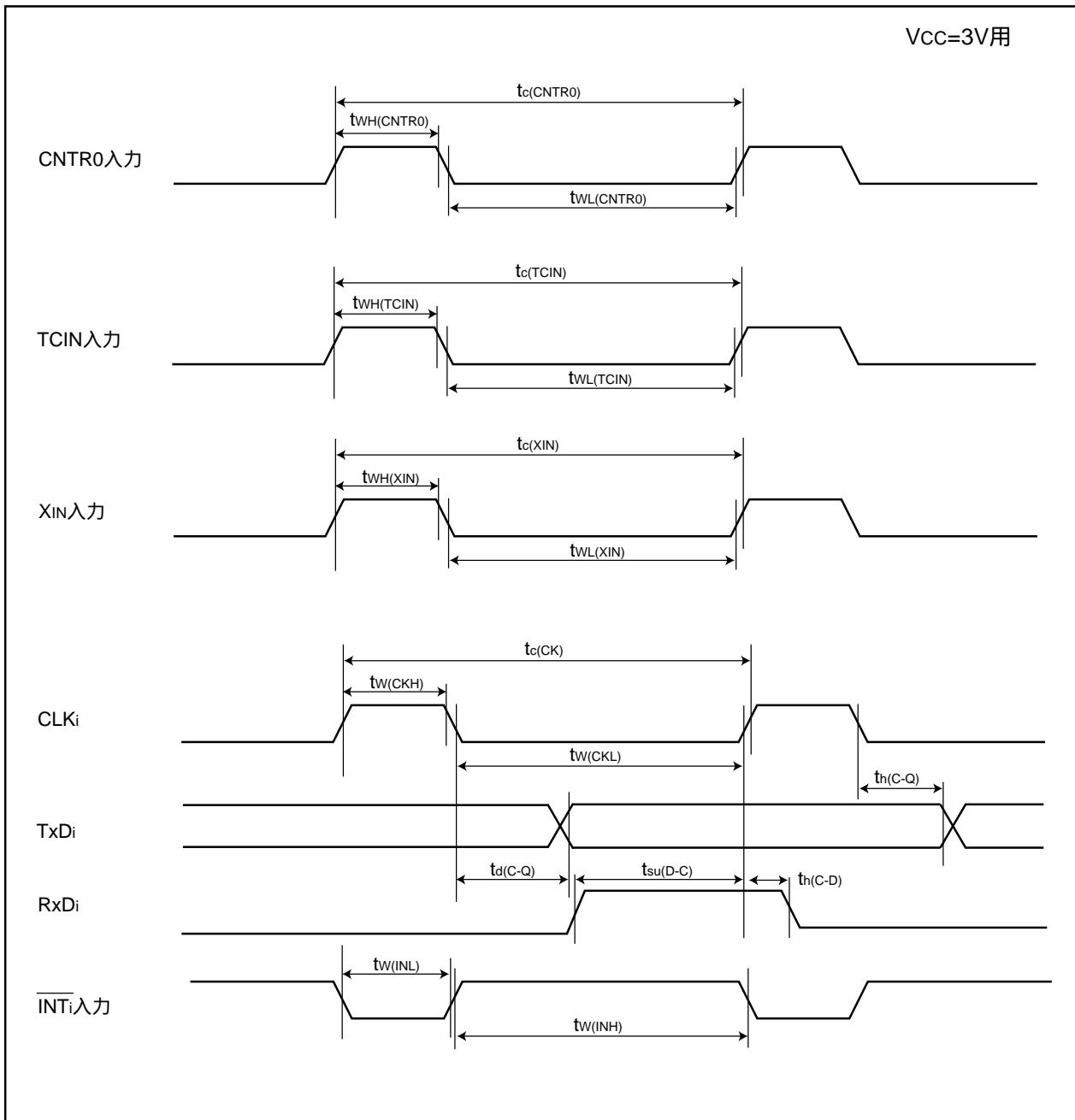


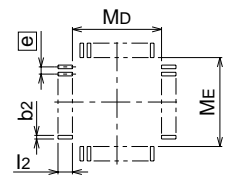
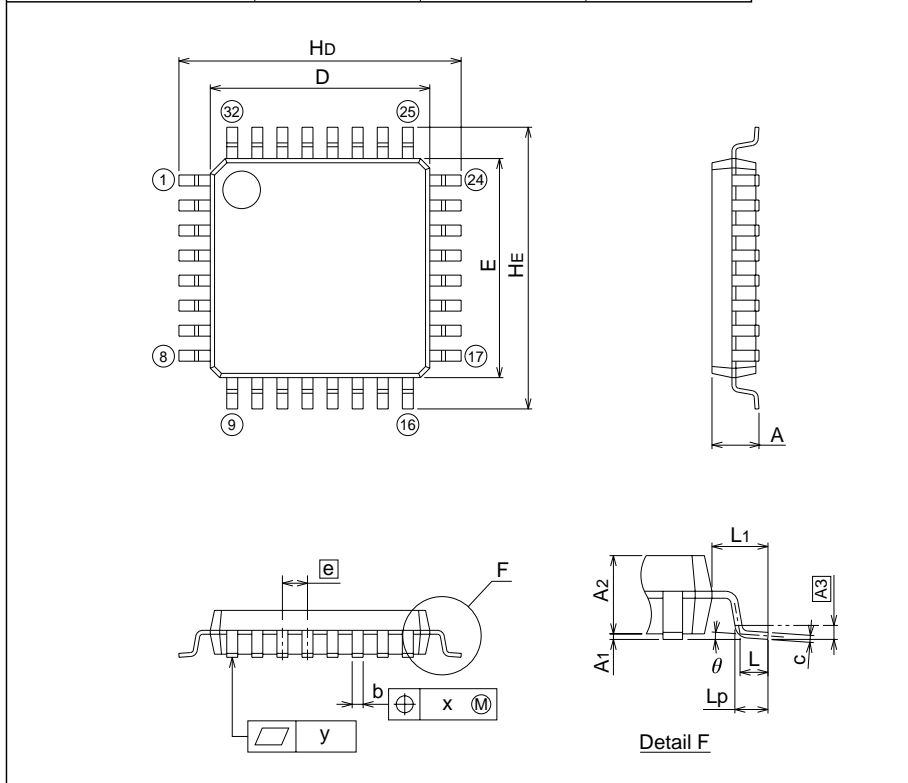
図5.5 Vcc=3V時のタイミング

外形寸法図

32P6U-A

Plastic 32pin 7x7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP32-P-0707-0.80	—		Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	1.7
A1	0	0.1	0.2
A2	—	1.4	—
b	0.32	0.37	0.45
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	—	0.8	—
Hd	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.3	0.5	0.7
L1	—	1.0	—
Lp	0.45	0.6	0.75
A3	—	0.25	—
x	—	—	0.2
y	—	—	0.1
θ	0 _i	—	10 _i
b2	—	0.5	—
l2	1.0	—	—
MD	—	7.4	—
ME	—	7.4	—

改訂記録

R8C/11 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.06.19	-	初版発行
1.10	2003.06.26	1	注釈を削除
1.20	2003.09.05	2 5 6 10 12 14 15 17 19	表 1.1 最短命令実行時間、f(XIN)を変更 図 1.3 端子名変更 (TXOUT CNTR0) 表 1.3 端子名変更 (TXOUT CNTR0) HR1 レジスタ リセット後の値 TC レジスタ リセット後の値 表 5.2 f(XIN)の測定条件と規格値の変更 表 5.3 絶対精度と注 2 の変更 表 5.9 VT+-VT- の項目、fRING-S の規格値 表 5.11 VT+-VT- の項目、fRING-S の規格値
1.30	2003.10.31	2 6 11 14 15 17 19 20 21 22 23 24 25	表 1.1 消費電流を追記 表 1.3 CNVssおよびMODEの抵抗値を削除 50 番地 コンペア 2 コンペア 1、CMP2IC CMP1IC に修正、 5C 番地 コンペア 1 コンペア 0、CMP1IC CMP0IC に修正 表 5.2 注 3、注 4 を削除 表 5.3 tsamp 削除 図 5.1 追加 表 5.10 Vcc=5V 時電源電流値を 4.2V ~ 3.3V ~ に修正、低速リング発振 =100kHz を =125kHz に修正、高速モードと中速モードにおいて、 XIN=5MHz 時を削除し XIN=16MHz 時及び XI=10MHz 時を追加、高速/ 中速/高速リングオシレータモードの TBD に値記載、低速リングオシ レータ/ウエイト/ストップモード時のデータ修正 表 5.11 ~ 表 5.15 追加 図 5.2 追加 表 5.16 注 1 、 、 f(BCLK)=5MHz を 10MHz に修正 表 5.17 低速リング発振 =100kHz を =125kHz に修正、高速モードと中速モード において、XIN=5MHz 時を削除し XIN=16MHz 時及び XI=10MHz 時を追 加、高速/中速/高速リングオシレータモードの TBD に値記載、低速リ ングオシレータ/ウエイト/ストップモード時のデータ修正 表 5.18 ~ 表 5.22 追加 図 5.3 追加
1.40	2003.12.04	2 6 10	表 1.1 割り込みの性能：内部 10 要因 11 要因に修正 表 1.3 AVcc, AVss の機能：「AVcc は Vcc に接続してください」追記、CNVss に 注 1 追加、VREF の機能に：「VREF は Vcc に接続してください」追記 注 2 を削除、以降の注番号を変更

改訂記録

R8C/11 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2003.12.04	15 16 17 18 19 20 23 24	<p>図 5.1 移動</p> <p>表 5.4 TBD に値記載、バイトプログラム時間の標準値 75 50 に修正、ブロックイレーズ時間の標準値 400 0.4、及び単位 ms s に修正、項目追加（プログラム、イレーズ時間、及び、消去動作から～遷移時間、及び、データ保持時間）測定条件追加</p> <p>図 5.2 追加、以降の図番変更</p> <p>表 5.6 パワーオンリセットをリセット回路の電気的特性に修正</p> <p>図 5.3 追加</p> <p>表 5.7 全項目を変更及び追加</p> <p>表 5.10 ウェイトモード時の測定条件に VC27=“0”を追加</p> <p>表 5.13 注 1, 2 の修正</p> <p>表 5.17 ウェイトモード時の測定条件に VC27=“0”を追加</p> <p>表 5.20 注 1, 2 の修正</p>
2.00	2004.6.11	全ページ 9 12 13 14 15 16 17 18 19 20 22 23 24	<p>用語統一（統一用語：オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ）</p> <p>図 3.1 注 1 を追記</p> <p>表 4.3 009C₁₆、009D₁₆ 番地 XX₁₆ FF₁₆ に修正 009E₁₆、009F₁₆ 番地 XX₁₆ FF₁₆ に修正</p> <p>表 4.4 01B3₁₆ 番地 0100000X₂ 01000000₂ に変更 01B7₁₆ 番地 XX000001₂ 00000001₂ に変更 注 1 に追記</p> <p>表 5.2 V_{CC} の規格値 標準を削除 注 3 追記</p> <p>表 5.3 V_{ref} の規格値を修正 注 4 追記</p> <p>表 5.4 データ保持時間の規格値を修正</p> <p>表 5.5 データ保持時間の規格値を修正</p> <p>表 5.6 表を分割 表 5.7 として追記/修正</p> <p>図 5.3 修正</p> <p>表 5.8 リセット解除時の高速オンチップオシレータ発振周波数 規格値を修正</p> <p>表 5.9 注 3 BCLK がスタートを CPU クロックの供給がに修正</p> <p>表 5.10 V_{OH} 駆動能力 LOW I_{OL} I_{OH} に修正 V_{OL} 測定条件 I_{OH} I_{OL} に修正 駆動能力 HIGH I_{OH} I_{OL} に修正</p> <p>表 5.11 低速オンチップオシレータモードの規格値、単位を修正</p> <p>表 5.12 規格値 最小を修正</p> <p>表 5.17 V_{OH} 駆動能力 LOW I_{OL} I_{OH} に修正 V_{OL} 測定条件 I_{OH} I_{OL} に修正 駆動能力 HIGH I_{OH} I_{OL} に修正</p> <p>表 5.18 低速オンチップオシレータモードの規格値、単位を修正</p> <p>表 5.19 規格値 最小を修正</p> <p>表 5.23 注 1、注 2 に追記（最小値の）</p>

改訂記録

R8C/11 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2004.8.27	2	表 1.1 動作周囲温度 (オプション) (Dバージョン)に修正、 オプションの注釈削除
		5	図1.3 IVccに注3を追加
		6	表1.3 IVccに「内部電源を安定化させるための端子です。」 「Vccに接続しないでください。」を追記
		16	表5.5 「Vcc = AVcc = 5.0V、Topr = 25 」 「Vcc = AVcc = 2.7V ~ 5.5 V、Topr = - 40 ~ 85 」に修正
		17	表5.7 測定条件0 Topr 85 時のtw(por1) 最小値10msの場合を追加 測定条件-20 Topr < 0 時のtw(por1) 最小値30msの場合を追加
		18	表5.8 高速オンチップオシレータ発振の温度の測定条件 「 - 40 ~ 80 」 「 - 40 ~ 85 」に修正

株式会社 **ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	支	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	支	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com