

特長

- 全ピンが、ピン間遅延 7.5ns
- $f_{CNT}$  は 125MHz (最大)
- 1,600 の使用ゲート数で 72 個のマクロセル数
- 最大 72 本のユーザ I/O ピン
- 5V のイン・システム・プログラミング (ISP)
  - 10,000 回のプログラム / 消去回数
  - コマーシャル品の電圧と全保証動作範囲でのプログラム / 消去が可能
- ピン固定アーキテクチャの強化
- 柔軟性に富む 36V18 ファンクション・ブロック
  - 90 個の積項は ファンクション・ブロック内の 18 個のマクロセルの全部または任意の一部を駆動可能
  - グローバル・クロックおよび積項クロック、出力イネーブル、セット信号およびリセット信号を装備
- 標準の IEEE 1149.1 バウンダリ・スキャン (JTAG) のサポート
- 各マクロセル内にプログラマブルな低消費電力モード
- 各出力にスレー・レート・コントロールが可能
- ユーザ・プログラマブルなグランド・ピン機能
- デザイン保護用に拡張されたパターン・セキュリティ機能
- 24mA の高駆動電流
- 3.3V または 5V の I/O
- PCI 準拠 (-7, -10 のスピード・グレード)
- 最先端の CMOS 5V FastFLASH™ 技術
- 複数のデバイスの同時プログラミング可
- 44ピン PLCC、84ピン PLCC、100ピン PQFP、100ピン TQFP のパッケージで提供

製品概要

XC9572は汎用ロジックを集積し、最新のイン・システム・プログラミング機能とイン・システム・テスト機能を提供する高性能CPLDです。この製品は4個の36V18ファンクション・ブロックから構成されており、7.5nsの伝搬遅延時間を持つ1,600の使用ゲート数を提供します。図2に、アーキテクチャの概要を示します。

パワー・マネージメント

マクロセルを標準動作モードまたは低消費電力動作モードにコンフィギュレーションすることにより、XC9572の消費電力を低減することができます。未使用のマクロセルはターンオフされて、消費電力を最小にします。

特定の条件のもとでの各デザインに対する動作電流を次の式を使用すると、近似することができます。

$$I_{CC} \text{ (mA)} = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006 \text{ mA/MHz})f$$

ここで、

- $MC_{HP}$  = 高性能モードにあるマクロセル数
- $MC_{LP}$  = 低消費電力モードにあるマクロセル数
- $MC$  = マクロセル合計使用数
- $f$  = クロック周波数 (MHz)

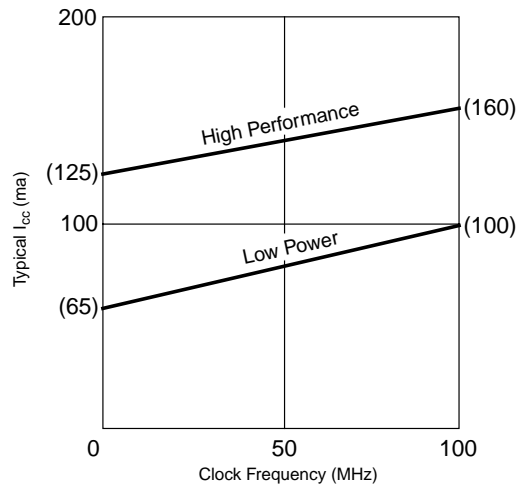


図 1: XC9572 の I<sub>CC</sub> (標準値) と周波数の関係



## 絶対最大定格

Symbol	Parameter	Value	Units
V <sub>CC</sub>	Supply voltage relative to GND	-0.5 to 7.0	V
V <sub>IN</sub>	DC input voltage relative to GND	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>TS</sub>	Voltage applied to 3-state output with respect to GND	-0.5 to V <sub>CC</sub> + 0.5	V
T <sub>STG</sub>	Storage temperature	-65 to +150	°C
T <sub>SOL</sub>	Max soldering temperature (10 s @ 1/16 in = 1.5 mm)	+260	°C

注意: ここに記載する絶対最大定格値を超えるストレスを加えると、デバイスに永久的な損傷を与える場合があります。ここに定める値はストレスの定格だけを意味し、これらの値または推奨動作条件を超える他の条件でのデバイスの機能動作を意味するものではありません。デバイスを絶対最大定格状態に長時間おくと、デバイスの信頼性に影響を与える場合があります。

## 推奨動作条件<sup>1</sup>

Symbol	Parameter	Min	Max	Units
V <sub>CCINT</sub>	Supply voltage for internal logic and input buffer	4.75 (4.5)	5.25 (5.5)	V
V <sub>CCIO</sub>	Supply voltage for output drivers for 5 V operation	4.75 (4.5)	5.25 (5.5)	V
	Supply voltage for output drivers for 3.3 V operation	3.0	3.6	V
V <sub>IL</sub>	Low-level input voltage	0	0.80	V
V <sub>IH</sub>	High-level input voltage	2.0	V <sub>CCINT</sub> + 0.5	V
V <sub>O</sub>	Output voltage	0	V <sub>CCIO</sub>	V

注: 1. ( )内の値は、インダストリアル・バージョンを示します。

## プログラム特性

Symbol	Parameter	Min	Max	Units
t <sub>DR</sub>	Data Retention	20	-	Years
N <sub>PE</sub>	Program/Erase Cycles	10,000	-	Cycles

## 推奨動作条件での DC 特性

Symbol	Parameter	Test Conditions	Min	Max	Units
V <sub>OH</sub>	Output high voltage for 5 V operation	I <sub>OH</sub> = -4.0 mA V <sub>CC</sub> = Min	2.4		V
	Output high voltage for 3.3 V operation	I <sub>OH</sub> = -3.2 mA V <sub>CC</sub> = Min	2.4		V
V <sub>OL</sub>	Output low voltage for 5 V operation	I <sub>OL</sub> = 24 mA V <sub>CC</sub> = Min		0.5	V
	Output low voltage for 3.3 V operation	I <sub>OL</sub> = 10 mA V <sub>CC</sub> = Min		0.4	V
I <sub>IL</sub>	Input leakage current	V <sub>CC</sub> = Max V <sub>IN</sub> = GND or V <sub>CC</sub>		±10.0	μA
I <sub>IH</sub>	I/O high-Z leakage current	V <sub>CC</sub> = Max V <sub>IN</sub> = GND or V <sub>CC</sub>		±10.0	μA
C <sub>IN</sub>	I/O capacitance	V <sub>IN</sub> = GND f = 1.0 MHz		10.0	pF
I <sub>CC</sub>	Operating Supply Current (low power mode, active)	V <sub>I</sub> = GND, No load f = 1.0 MHz	65 (Typ)		ma

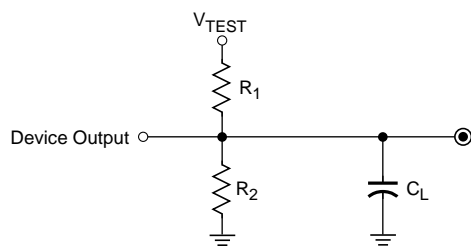
## AC 特性

Symbol	Parameter	XC9572-7		XC9572-10		XC9572-15		Units
		Min	Max	Min	Max	Min	Max	
t <sub>PD</sub>	I/O to output valid		7.5		10.0		15.0	ns
t <sub>SU</sub>	I/O setup time before GCK	5.5		6.5		8.0		ns
t <sub>H</sub>	I/O hold time after GCK	0.0		0.0		0.0		ns
t <sub>CO</sub>	GCK to output valid		5.5		6.5		8.0	ns
f <sub>CNT</sub> <sup>1</sup>	16-bit counter frequency	125		111		95		MHz
f <sub>SYSTEM</sub> <sup>2</sup>	Multiple FB internal operating frequency	83		67		56		MHz
t <sub>PSU</sub>	I/O setup time before p-term clock input	1.5		2.5		4.0		ns
t <sub>PH</sub>	I/O hold time after p-term clock input	4.0		4.0		4.0		ns
t <sub>PCO</sub>	P-term clock to output valid		9.5		10.5		12.0	ns
t <sub>OE</sub>	GTS to output valid		7.0		10.0		15.0	ns
t <sub>OD</sub>	GTS to output disable		7.0		10.0		15.0	ns
t <sub>POE</sub>	Product term OE to output enabled		13.0		15.5		18.0	ns
t <sub>POD</sub>	Product term OE to output disabled		13.0		15.5		18.0	ns
t <sub>WLH</sub>	GCK pulse width (High or Low)		4.0		4.5		5.5	ns

注: 1. f<sub>CNT</sub>は16ビットカウンタの最高クロック周波数。

また、f<sub>CNT</sub>は積項のExportを使用したフリップフロップの最高トグル周波数f<sub>TOG</sub>と同じです。

2. f<sub>SYSTEM</sub>は複数のFBを使用する汎用システム・デザインに対する内部動作周波数。



Output Type	V <sub>CCIO</sub>	V <sub>TEST</sub>	R <sub>1</sub>	R <sub>2</sub>	C <sub>L</sub>
	5.0 V	5.0 V	160 Ω	120 Ω	35 pF
	3.3 V	3.3 V	260 Ω	360 Ω	35 pF

X5906

図3: AC負荷回路

### 内部タイミングパラメータ

Symbol	Parameter	XC9572-7		XC9572-10		XC9572-15		Units
		Min	Max	Min	Max	Min	Max	
<b>Buffer Delays</b>								
t <sub>IN</sub>	Input buffer delay		2.5		3.5		4.5	ns
t <sub>GCK</sub>	GCK buffer delay		2.5		3.0		3.0	ns
t <sub>GSR</sub>	GSR buffer delay		4.5		6.0		7.5	ns
t <sub>GTS</sub>	GTS buffer delay		7.0		10.0		15.0	ns
t <sub>OUT</sub>	Output buffer delay		2.5		3.0		4.5	ns
t <sub>EN</sub>	Output buffer enable/disable delay		0.0		0.0		0.0	ns
<b>Product Term Control Delays</b>								
t <sub>PTCK</sub>	Product term clock delay		4.0		3.5		2.5	ns
t <sub>PTSR</sub>	Product term set/reset delay		2.0		2.5		3.0	ns
t <sub>PTTS</sub>	Product term 3-state delay		10.5		12.0		13.5	ns
<b>Internal Register and Combinatorial delays</b>								
t <sub>PDI</sub>	Combinatorial logic propagation delay		0.5		1.0		3.0	ns
t <sub>SUI</sub>	Register setup time	3.5		3.5		3.5		ns
t <sub>HI</sub>	Register hold time	2.0		3.0		4.5		ns
t <sub>COI</sub>	Register clock to output valid time		0.5		0.5		0.5	ns
t <sub>AOI</sub>	Register async. S/R to output delay		6.5		7.0		8.0	ns
t <sub>RAI</sub>	Register async. S/R recovery before clock	7.5		10.0		15.0		ns
t <sub>LOGI</sub>	Internal logic delay		2.0		2.5		3.0	ns
t <sub>LOGILP</sub>	Internal low power logic delay		10.0		11.0		11.5	ns
<b>Feedback Delays</b>								
t <sub>F</sub>	FastCONNECT matrix feedback delay		6.0		8.5		11.0	ns
t <sub>LF</sub>	Function Block local feedback delay		2.0		2.5		3.5	ns
<b>Time Adders</b>								
t <sub>PTA<sup>3</sup></sub>	Incremental Product Term Allocator delay		1.0		1.0		1.5	ns
t <sub>SLEW</sub>	Slew-rate limited delay		4.0		4.5		5.0	ns

注: 3. t<sub>PTA</sub> はマクロセル間のスパンとの積をとったのち、遅延に加算されます。スパンに関しては、タイミングモデル(3-15ページ)を参照してください。

## XC9572 の I/O ピン

Function Block	Macrocell	PC 44	PC 84	PQ 100	TQ 100	BScan Order	Notes	Function Block	Macrocell	PC 44	PC 84	PQ 100	TQ 100	BScan Order	Notes
1	1	-	4	18	16	213		3	1	-	25	43	41	105	
1	2	1	1	15	13	210		3	2	11	17	34	32	102	
1	3	-	6	20	18	207		3	3	-	31	51	49	99	
1	4	-	7	22	20	204		3	4	-	32	52	50	96	
1	5	2	2	16	14	201		3	5	12	19	37	35	93	
1	6	3	3	17	15	198		3	6	-	34	55	53	90	
1	7	-	11	27	25	195		3	7	-	35	56	54	87	
1	8	4	5	19	17	192		3	8	13	21	39	37	84	
1	9	5	9	24	22	189	[1]	3	9	14	26	44	42	81	
1	10	-	13	30	28	186		3	10	-	40	62	60	78	
1	11	6	10	25	23	183	[1]	3	11	18	33	54	52	75	
1	12	-	18	35	33	180		3	12	-	41	63	61	72	
1	13	-	20	38	36	177		3	13	-	43	65	63	69	
1	14	7	12	29	27	174	[1]	3	14	19	36	57	55	66	
1	15	8	14	31	29	171		3	15	20	37	58	56	63	
1	16	-	23	41	39	168		3	16	-	45	67	65	60	
1	17	9	15	32	30	165		3	17	22	39	60	58	57	
1	18	-	24	42	40	162		3	18	-	-	61	59	54	
2	1	-	63	89	87	159		4	1	-	46	68	66	51	
2	2	35	69	96	94	156		4	2	24	44	66	64	48	
2	3	-	67	93	91	153		4	3	-	51	73	71	45	
2	4	-	68	95	93	150		4	4	-	52	74	72	42	
2	5	36	70	97	95	147		4	5	25	47	69	67	39	
2	6	37	71	98	96	144		4	6	-	54	78	76	36	
2	7	-	76	5	3	141	[2]	4	7	-	55	79	77	33	
2	8	38	72	99	97	138		4	8	26	48	70	68	30	
2	9	39	74	1	99	135	[1]	4	9	27	50	72	70	27	
2	10	-	75	3	1	132		4	10	-	57	83	81	24	
2	11	40	77	6	4	129	[1]	4	11	28	53	76	74	21	
2	12	-	79	8	6	126		4	12	-	58	84	82	18	
2	13	-	80	10	8	123		4	13	-	61	87	85	15	
2	14	42	81	11	9	120	[3]	4	14	29	56	80	78	12	
2	15	43	83	13	11	117		4	15	33	65	91	89	9	
2	16	-	82	12	10	114		4	16	-	62	88	86	6	
2	17	44	84	14	12	111		4	17	34	66	92	90	3	
2	18	-	-	94	92	108		4	18	-	-	81	79	0	

注: [1] グローバル・コントロール・ピン

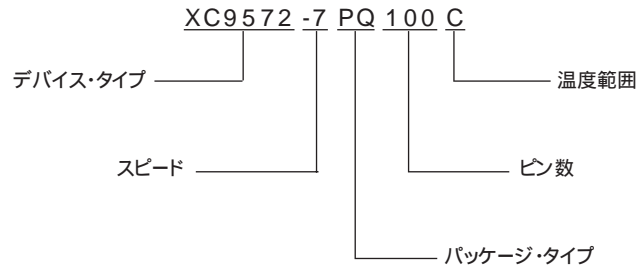
[2] のグローバル・コントロール・ピンGTS1はPC84、PQ100とTQ100パッケージ用

[3] のグローバル・コントロール・ピンGTS1はPC44パッケージ用

## XC9572 のグローバル・ピン、JTAG ピン、および電源ピン

Pin Type	PC44	PC84	PQ100	TQ100
I/O/GCK1	5	9	24	22
I/O/GCK2	6	10	25	23
I/O/GCK3	7	12	29	27
I/O/GTS1	42	76	5	3
I/O/GTS2	40	77	6	4
I/O/GSR	39	74	1	99
TCK	17	30	50	48
TDI	15	28	47	45
TDO	30	59	85	83
TMS	16	29	49	47
V <sub>CCINT</sub> 5 V	21,41	38,73,78	7,59,100	5,57,98
V <sub>CCIO</sub> 3.3 V/5 V	32	22,64	28,40,53,90	26,38,51,88
GND	10,23,31	8,16,27,42, 49,60	2,23,33,46,64,71, 77,86	100,21,31,44,62,69, 75, 84
No Connects	—	—	4,9,21,26,36,45,48, 75, 82	2,7,19,24,34,43,46, 73, 80

## 注文コード様式



## スピード・オプション

-15	15nsピン間遅延
-10	10nsピン間遅延
-7	7.5nsピン間遅延

## パッケージ・オプション

PC44	44ピン・プラスチック・リード付きチップ・キャリア(PLCC)
PC84	84ピン・プラスチック・リード付きチップ・キャリア(PLCC)
PQ100	100ピン・プラスチック・クワッド・フラット・パック(PQFP)
TQ100	100ピン薄型クワッド・フラット・パック(TQFP)

## 温度範囲オプション

C:	コマーシャル品	0 ~ 70
I:	インダストリアル品	- 40 ~ 85

## 製品供給状況

Pins		44	84	100	
Type		Plastic PLCC	Plastic PLCC	Plastic PQFP	Plastic TQFP
Code		PC44	PC84	PQ100	TQ100
XC9572	-15	C,I	C,I	C,I	C,I
	-10	C,I	C,I	C,I	C,I
	-7	C	C	C	C

C = コマーシャル品 = 0 ~ 70      I = インダストリアル品 = - 40 ~ 85

注: 最新の供給状況については、ザイリンクスの販売代理店にお問い合わせください。